

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

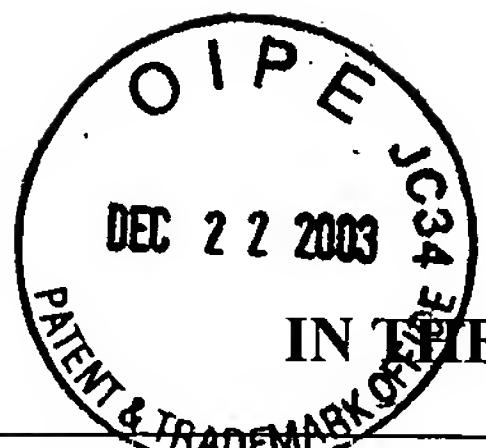
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Munehiro Karasudani

Application No.: 10/707,536

Confirmation No.: 1535

Filed: December 19, 2003

Art Unit: N/A

For: INTEGRATED CIRCUIT

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	2001-220875	July 23, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22040-00023-US from which the undersigned is authorized to draw.

Dated: December 22, 2003
14735_1

Respectfully submitted,

By Larry J. Hume
Larry J. Hume

Registration No.: 44,163
CONNOLLY BOVE LODGE & HUTZ LLP
1990 M Street, N.W., Suite 800
Washington, DC 20036-3425
(202) 331-7111
(202) 293-6229 (Fax)
Attorney for Applicant

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2001年 7月23日

出願番号 Application Number: 特願2001-220875

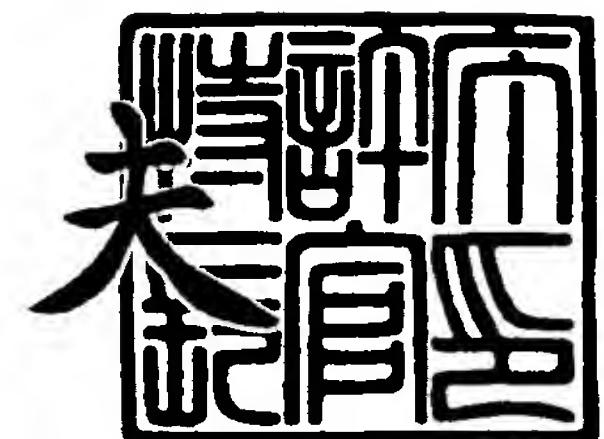
[ST. 10/C]: [JP2001-220875]

出願人 Applicant(s): 新潟精密株式会社

2003年10月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 13NS1304
【提出日】 平成13年 7月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 東京都港区芝大門1丁目16番3号 芝大門116ビル
7F 新潟精密株式会社内
【氏名】 烏谷 宗宏
【特許出願人】
【識別番号】 591220850
【氏名又は名称】 新潟精密株式会社
【代理人】
【識別番号】 100105784
【弁理士】
【氏名又は名称】 橘 和之
【電話番号】 0492-49-5122
【手数料の表示】
【予納台帳番号】 070162
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0006161
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路

【特許請求の範囲】

【請求項1】 複数の機能ブロックを1つの半導体チップ上に集積した集積回路において、

入力端子にアドレス線とデータ線とが接続され、上記アドレス線から入力されたアドレス信号をデコードし、上記データ線から入力されたデータを上記デコードの結果に応じて出力するデコード回路を上記半導体チップ上に複数設け、

上記アドレス線および上記データ線を含む数ビット分の信号線を上記複数のデコード回路に対して配線するようにしたことを特徴とする集積回路。

【請求項2】 上記複数のデコード回路は、上記複数の機能ブロックと同数備えられることを特徴とする請求項1に記載の集積回路。

【請求項3】 上記複数のデコード回路は、上記複数の機能ブロックの近傍にそれぞれ備えられることを特徴とする請求項2に記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は集積回路に関し、特に、複数の機能ブロックを1つの半導体チップ上に集積した集積回路に用いて好適なものである。

【0002】

【従来の技術】

近年、半導体チップの集積化が進み、より多くの機能を実現する回路ブロックが1つのチップ上に集積されるようになってきている。1つのチップ内に複数の回路ブロックが集積される場合は、それぞれの回路ブロックに対して、信号を取り取りするための配線が接続される。

【0003】

半導体チップ内の各回路ブロックに対してデジタルデータやデジタル制御信号を供給する場合、各回路ブロックに対する配線は、回路ブロックの数と、対象とするデジタルデータ等のビット数とに応じた数だけ必要になる。

【0004】

図2は、複数の回路ブロックが1つの半導体チップ上に集積された従来の集積回路の構成を概略的に示す図である。図2において、1はシリアルインタフェース回路で構成されたデコード回路、2～7は複数の回路ブロックである。半導体チップ100は、1個のデコード回路1と複数の回路ブロック2～7とを集積している。

【0005】

上記デコード回路1の入力端子には、アドレス線とデータ線とを含む複数本の信号線8が接続されている。デコード回路1は、アドレス線から入力された数ビットのアドレス信号をデコードし、デコード後のアドレス数の分だけ、データ線から入力されたデジタルデータを出力する。

【0006】

したがって、デコード回路1の出力端子には、(デコード後のアドレス数) × (デジタルデータのビット数)の本数を含む信号線20が接続される。例えば、信号線8のアドレス線が4ビット、データ線が16ビットの場合、デコード後のアドレス数は16なので、 $16 \times 16 = 256$ 本の信号線20がデコード回路1の出力端子に接続される。そして、この信号線20が各回路ブロック2～7まで配線される。

【0007】**【発明が解決しようとする課題】**

しかしながら、上記図2に示した従来の集積回路では、デコード回路1から、半導体チップ100内に分散配置された各回路ブロック2～7のそれぞれに対して、256本の配線が接続されることになる。したがって、非常に多くの配線が半導体チップ100内で引き回されることになり、その分チップ面積が増大してしまうという問題があった。

【0008】

また、半導体チップ100内で引き回される配線が多い分、高速信号を伝送するときに隣接する配線上に雑音が乗ってしまうといった、いわゆるクロストーク雑音を引き起こす箇所が多くなってしまうという問題もあった。そのため、最適

なチップレイアウトを設計するのが非常に困難であり、集積回路の開発効率が低下するという問題もあった。

【0009】

本発明は、このような問題を解決するために成されたものであり、複数の回路ブロックを集積した半導体チップにおいて、チップ内で引き回す配線の数を削減できるようにし、チップサイズの縮小、クロストーク雑音の低減、レイアウトの容易化などを図ることができるようすることを目的とする。

【0010】

【課題を解決するための手段】

本発明の集積回路は、複数の機能ブロックを1つの半導体チップ上に集積した集積回路において、入力端子にアドレス線とデータ線とが接続され、上記アドレス線から入力されたアドレス信号をデコードし、上記データ線から入力されたデータを上記デコードの結果に応じて出力するデコード回路を上記半導体チップ上に複数設け、上記アドレス線および上記データ線を含む数ビット分の信号線を上記複数のデコード回路に対して配線するようにしたことを特徴とする。

【0011】

本発明の他の態様では、上記複数のデコード回路は、上記複数の機能ブロックと同数備えられることを特徴とする。

本発明のその他の態様では、上記複数のデコード回路は、上記複数の機能ブロックの近傍にそれぞれ備えられることを特徴とする。

【0012】

本発明は上記技術手段より成るので、半導体チップ上で引き回す配線は、最大でもアドレス線とデータ線とを含む信号線のビット数分だけで済み、全体の配線面積を従来に比べて大幅に削減することができる。

【0013】

また、本発明の他の特徴によれば、各機能ブロックに対応して個々にデコード回路を配置し、それぞれのデコード回路に対して少ない本数の信号線を配線することが可能となり、半導体チップ内で引き回される配線の面積を十分に削減することができる。

【0014】

また、本発明のその他の特徴によれば、デコード回路から機能ブロックに対する本数の多い配線を極力短くすることが可能となり、半導体チップ全体の配線面積を更に削減することができる。

【0015】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。

図1は、本発明の集積回路を実施した半導体チップ10の構成例を概略的に示す図である。本実施形態の半導体チップ10は、シリアルインターフェース回路で構成された複数のデコード回路1a～1fと、複数の回路ブロック2～7とを集積している。

【0016】

複数の回路ブロック2～7は、それぞれが異なる機能を実現するための機能ブロックである。これらの機能ブロックが互いに共動することにより、目的とするデータ処理が実行される。これらの回路ブロック2～7自体の大きさは、図2に示した従来例のものと同じである。

【0017】

本実施形態において集積されるデコード回路1a～1fの数は、回路ブロック2～7の数と同数である。そして、これら複数のデコード回路1a～1fはそれぞれ、複数の回路ブロック2～7の近傍に備えられる。

【0018】

複数のデコード回路1a～1fの入力端子には、アドレス線とデータ線とを含む複数本の信号線8が接続されている。各デコード回路1a～1fは、アドレス線から入力された数ビットのアドレス信号をデコードし、デコード後のアドレス数の分だけ、データ線から入力されたデジタルデータ等を出力する。

【0019】

したがって、各デコード回路1a～1fの出力端子には、（デコード後のアドレス数）×（デジタルデータのビット数）の本数を含む信号線20が接続されている。例えば、信号線8のアドレス線が4ビット、データ線が16ビットの場合

は、 $16 \times 16 = 256$ 本の信号線 20 が各デコード回路 1a ~ 1f の出力端子に接続される。

【0020】

ただし、回路ブロック 2 ~ 7 の中には、16 ビットのデジタルデータをフルに使用する必要がないものも存在する。その場合には、信号線 8 に含まれる 16 ビットのデータ線のうち、使用しないビット数分のデータ線はデコード回路 1a ~ 1f に入力しないようにする。

【0021】

例えば、回路ブロック 4 では 10 ビット分のデータしか使用しないとすると、デコード回路 1c の入力端子には、10 ビット分のデータ線のみを接続する。この場合、デコード回路 1c の出力端子には、 $16 \times 10 = 160$ 本の信号線 20 が接続されれば良く、デコード回路 1c のサイズは他のデコード回路 1a, 1b, 1d ~ 1f に比べて小さくて良い。

【0022】

本実施形態においては、図 2 のように 1 つのデコード回路 1 から 256 本の信号線 20 を複数の回路ブロック 2 ~ 7 に配線するのではなく、アドレス線とデータ線とを含む最大 20 ビット分の信号線 8 を、半導体チップ 10 上に分散配置された複数のデコード回路 1a ~ 1f に対して配線するようしている。

【0023】

したがって、半導体チップ 10 上で引き回す配線の数は、信号線 8 の最大 20 本で済む。また、複数のデコード回路 1a ~ 1f はそれぞれ複数の回路ブロック 2 ~ 7 の近傍に備えられるので、デコード回路 1a ~ 1f から回路ブロック 2 ~ 7 に対する最大 256 本の配線は、極力短くすることができる。

【0024】

これにより、全体の配線面積を従来に比べて大幅に削減することができる。デコード回路 1a ~ 1f の数は従来に比べて多くなり、その分だけチップ面積を多く必要とするが、それよりも配線数の削減によるチップ面積縮小の方が大きく、全体としてチップサイズを小さくすることができる。

【0025】

また、半導体チップ10内に複数のデコード回路1a～1fを配置するとともに、各デコード回路1a～1fに少ない本数の信号線8を配置することによって、半導体チップ10内に空きスペースが生まれることもある。この場合に、その空きスペースを活用して回路ブロック2～7内で使用している素子を外出しにし、回路ブロック2～7自体の回路面積をその分だけ小さくすることもできる。このようにすれば、半導体チップ10のサイズを更に小さくすることができる。外出しにする素子としては、回路ブロック2～7内で比較的大きな面積を占有する容量素子などが考えられる。

【0026】

また、本実施形態の集積回路によれば、半導体チップ10内で引き回される配線が少ない分、クロストーク雑音を引き起こす箇所を少なくすることができ、回路の信頼性を向上させることができる。さらに、最適なチップレイアウトを設計するのも比較的容易になり、集積回路の開発効率が向上するというメリットも有する。

【0027】

なお、上記実施形態にて示した回路ブロック2～7の数や、アドレス線およびデータ線のビット数などは单なる例示であって、本発明はこれに限定されるものではない。

また、上述の半導体チップ10は、デジタル回路ブロックとアナログ回路ブロックとを集積したデジタルーアナログ混載回路であっても良い。

【0028】

また、デコード回路1a～1fの数は、必ずしも回路ブロック2～7の数と同数でなくても良い。すなわち、デコード後の信号線20を配線しても、チップ面積やクロストーク雑音などの問題が特に生じなければ、複数の回路ブロックで1つのデコード回路を兼用するようにしても良い。例えば、図1の例で、2つの回路ブロック5, 6で1つのデコード回路1eを兼用し（デコード回路1dは用いない）、デコード回路1eから出力される信号線20を2つの回路ブロック5, 6に入力するようにしても良い。

【0029】

その他、上記実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0030】

【発明の効果】

以上説明したように本発明によれば、半導体チップ上にデコード回路を複数設け、各デコード回路に対して信号線を配線するようにしたので、半導体チップ上で引き回す配線は、最大でも上記信号線のビット数分だけで済み、全体の配線面積を従来と比べて大幅に削減することができる。これにより、全体としてチップサイズを小さくすることができる。

【0031】

また、半導体チップ内で引き回される配線が少ない分、クロストーク雑音を引き起こす箇所を少なくすることができ、回路の信頼性を向上させることができるとともに、最適なチップレイアウトを設計するのが容易になり、集積回路の開発効率を向上させることができる。

【0032】

また、本発明の他の特徴によれば、複数の機能ブロックと同数だけ複数のデコード回路を設けたので、各機能ブロックに対応して個々にデコード回路を配置することができる。この場合、全てのデコード回路に対して少ない本数の配線を引き回すことになるので、半導体チップ内で引き回される配線の面積を十分に削減することができる。

【0033】

また、本発明のその他の特徴によれば、複数のデコード回路をそれぞれ複数の機能ブロックの近傍に設けたので、デコード回路から機能ブロックに対する配線は極力短くすることができる。これにより、半導体チップ全体の配線面積を更に削減することができ、全体としてチップサイズをより小さくすることができる。

【図面の簡単な説明】

【図1】

本発明の集積回路を実施した半導体チップの構成例を概略的に示す図である。

【図 2】

従来の半導体チップの構成例を概略的に示す図である。

【符号の説明】

1 a ~ 1 f デコード回路

2 ~ 7 回路ブロック（機能ブロック）

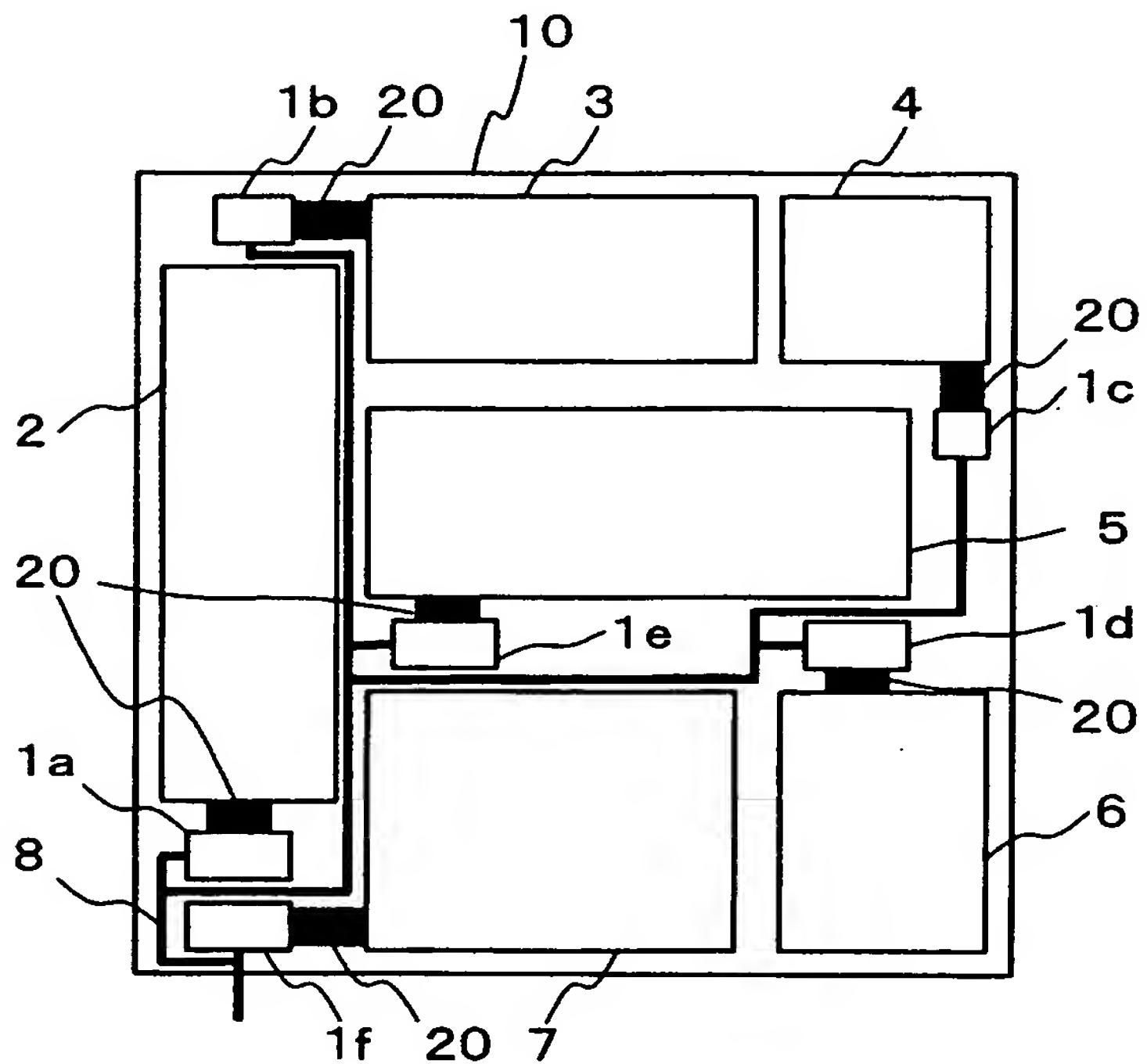
8 信号線

10 半導体チップ

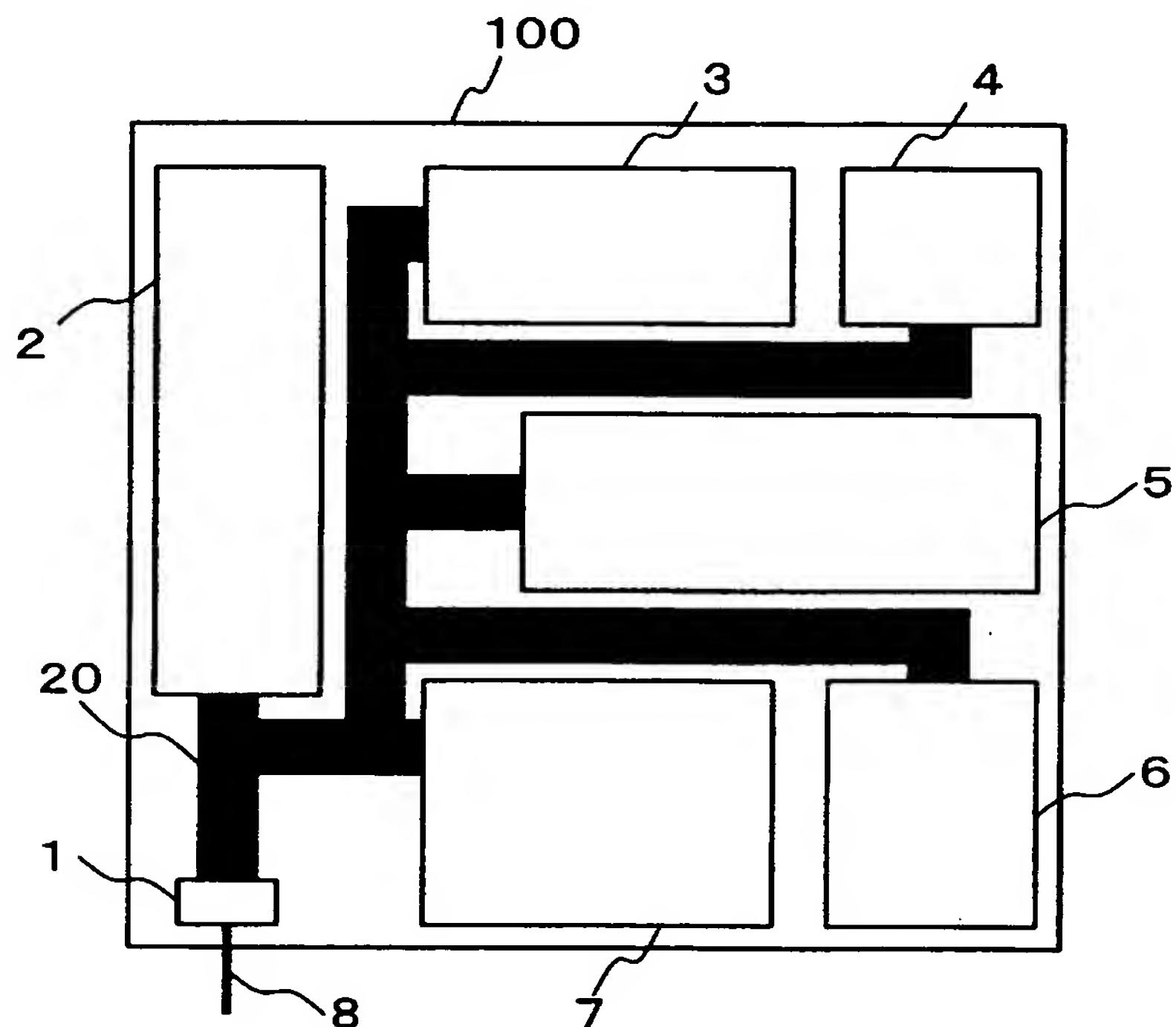
20 信号線

【書類名】 図面

【図 1】

本実施形態の集積回路

【図 2】

従来の集積回路

【書類名】 要約書

【要約】

【課題】 複数の回路ブロックを集積した半導体チップにおいて、チップ内で引き回す配線の数を削減できるようにする。

【解決手段】 半導体チップ10上で分散配置された複数の回路ブロック2～7の近傍に複数のデコード回路1a～1fを設け、アドレス線およびデータ線を含むデコード前の信号線8を各デコード回路1a～1fに対して配線することにより、半導体チップ10上で引き回す配線の数を信号線8のビット数分だけで済むようにして、デコード後の本数の多い信号線20を各回路ブロック2～7まで引き回していた従来に比べて、全体の配線面積を大幅に削減することができるようになり、これによってチップサイズの縮小、クロストーク雑音の低減、レイアウトの容易化などを図る。

【選択図】 図1

特願2001-220875

出願人履歴情報

識別番号 [591220850]

1. 変更年月日 1996年 5月 9日

[変更理由] 住所変更

住 所 新潟県上越市西城町2丁目5番13号

氏 名 新潟精密株式会社